

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-104559

(43)Date of publication of application : 24.04.1998

(51)Int.Cl.

G02F 1/035

(21)Application number : 08-258110

(71)Applicant : KYOCERA CORP

(22)Date of filing : 30.09.1996

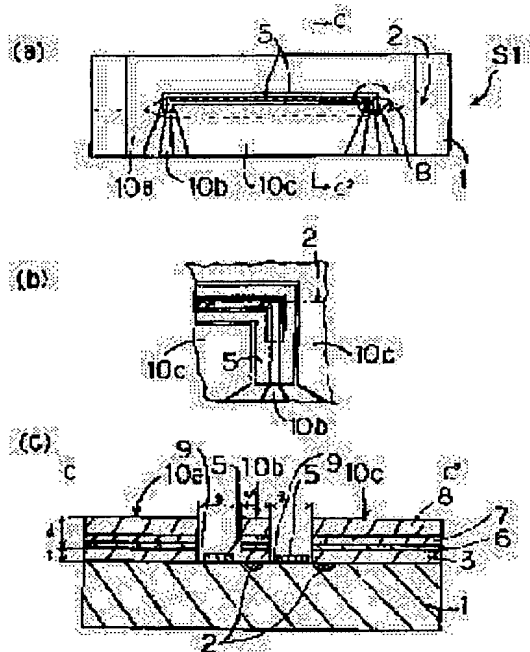
(72)Inventor : KISHIDA YUJI
TAKEMURA KOJI
YONEDA RYUJI

(54) OPTICAL WAVEGUIDE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device with excellent reliability capable of suppressing a temp. drift with simple constitution by forming a conductive layer with specific resistance smaller than a specified value on a surface of a pyroelectric substrate and electrically connecting the conductive layer to an electrode layer.

SOLUTION: A light modulator S1 consists of the pyroelectric substrate 1, a dielectric layer 3, the conductive layer 5 and electrodes (GND electrode 10a, signal electrode 10b, GND electrode 10c). The pyroelectric substrate 1 on whose one main surface an optical waveguide 2 is formed, and the dielectric layer 3 is formed on one area containing this optical waveguide 2. The conductive layer 5 is formed on a belt like groove 9 formed on the dielectric layer 3 along the optical waveguide 2, and whose specific resistance is smaller than $106\Omega\cdot\text{cm}$. The conductive layer 5 is connected to the electrode layer electrically. This conductive layer 5 forms the groove 9 arriving at the surface of the pyroelectric substrate 1 between the signal electrode 10b and the GND electrode 10a, and between the signal electrode 10b and the GND electrode 10c to be formed on the pyroelectric substrate 1 surface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成10年(1998)4月24日

審査請求 未請求 請求項の数1 OL (全 6 頁)

京都府相楽郡精華町光台3丁目5番地 京
セラ株式会社中央研究所内

【特許請求の範囲】

【請求項1】 焦電性基板の表層に形成された光導波路上に、誘電体層及び電極層を順次積層して成る光導波路デバイスであって、前記焦電性基板の表面に比抵抗値が $10^6 \Omega \cdot \text{cm}$ より小さい導電層を形成させるとともに、該導電層を前記電極層に電氣的に接続させたことを特徴とする光導波路デバイス。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、光通信分野で用いられる光変調器、光スイッチ等の光導波路デバイスに関するものである。

【0002】

【従来の技術とその課題】次世代大容量光通信の実用化にともない、高速光変調器、光スイッチ等の光制御デバイスが必要とされている。特に、ニオブ酸リチウム(LiNbO_3)等から成る強誘電体基板の電気光学効果を利用した導波路型光制御デバイス(以下、光導波路デバイスという)は、低挿入損失で且つ高速動作が可能であるため大変有望視されている。

【0003】従来、この種の強誘電体基板を用いた光導波路デバイスでは、基板の表面に形成された光導波路に最も有効に電界が作用する基板方位としてZカットが主に採用されてきた。

【0004】ところが、強誘電体の特性として焦電性があるため、温度変化により分極の方位であるc面、すなわち基板の(001)面に静電気が生じ、特性に経時変化を与えるといった問題があった。すなわち、光導波路に電界を印加するための複数の電極が基板表面を覆う部分において、基板の分極に対応した電荷が誘起されるのに対して、電極が基板表面を覆わない部分では、基板の分極に対応した電荷が基板表面に容易に供給されない。このため、温度変化により基板の分極が変化すると電極が基板表面を覆わない部分で電荷の不均一が生じ、光導波路にこのような不均一な電荷による電界が印加されて、温度ドリフトが生ずるというものである(例えば、信学技報、QQE86-44 p115-121 佐脇他を参照)。

【0005】そこで、この問題を解決する方策として、以下に示すものが提案されている。図5は光導波路デバイスJ1において、焦電性の基板51の表面に形成された光導波路52の入射方向に対して直交する方向で切断した断面図であるが、基板51の一主面にバッファ層53、半導電性膜54、電極55が順次積層された構造となっている。ここで、電極55が基板51の表面を覆わない部分をITO等、ある程度導電性を有し且つ電極間に電界が印加できる程度の抵抗率を有する半導電性膜54で覆い、電極55と接続させることにより、温度変化により生じる基板51の表面電荷を均一化するものである(例えば、特公平5-78016号公報を参照)。

【0006】

【発明が解決しようとする課題】しかしながら、このような半導電性膜は実質的な導通を阻止する抵抗値を有するものの、電圧を印加する電極間を導体で接続するため、直流から低周波の電圧印加時には電圧が有効に印加されないといった問題があった。また導通を阻止するための抵抗と基板の表面電荷を速やかに均一にするための導通を兼ね備えるという相矛盾する条件を制御する必要があるため、作製時に抵抗値を制御するのが厳しく、また経時変化により特性が変動するといった問題があった。また、半導電性膜がマイクロ波電界が作用する領域に近接しているため、マイクロ波伝送路の誘電損失を生じさせ、ひいては電極の周波数特性を悪化させるといった問題があった。

【0007】そこで、本発明は上述した諸問題を克服し、簡便な構成であるとともに製造プロセスが容易で、しかも温度ドリフトを極力抑えることが可能な優れた光導波路デバイスを提供する。

【0008】

【課題を解決するための手段】上記課題を解決する光導波路デバイスは、焦電性基板の表層に形成された光導波路上に、誘電体層及び電極層を順次積層して成る光導波路デバイスであって、焦電性基板の表面に比抵抗値が $10^6 \Omega \cdot \text{cm}$ より小さい導電層を形成させるとともに、該導電層を電極層に電氣的に接続させたことを特徴とする。

【0009】また、導電層の一部は誘電体層とほぼ同一平面内にあり、電極層の側端面から所定距離だけ隔てて形成されていてもよいし、また、導電層の一部が焦電性基板表層の一領域に形成された溝の内壁に形成されていてもよい。また、この光導波路デバイスの製造方法は、焦電性基板に光導波路を形成する工程と、焦電性基板上に誘電体層と半導体もしくは導体からなる導電層とを同時にパターン形成する工程と、下地電極と厚膜電極と順次積層させてパターン形成する工程とからなる。

【0010】

【発明の実施の形態】本発明に係る第一の実施例を光導波路デバイスのひとつである光変調器について図面に基づき説明する。

【0011】まず、光変調器の概略構成について説明する。図1(a)～(c)に示すように、光変調器S1は、一主面に光導波路2が形成された例えばニオブ酸リチウム、タンタル酸リチウムから成る焦電性基板(以下、基板という)1と、この基板1の光導波路2を含む一領域上に形成された SiO_2 、 Al_2O_3 等から成るバッファ層である誘電体層3と、光導波路2に沿って誘電体層3に形成された帯状の溝9に形成された、Siや SiO_x (シリコンリッチの酸化シリコン)から成る半導体、もしくはCr、Ti、Ni、Mo、Au、Pt、Ag、Cu、Al、Nb、及びこれら元素を含む合金、酸化物、または導電性ポリマー等から成り、比抵抗値が

10⁶ Ω・cmより小さい導電層5と、誘電体層3の一領域上に光導波路2に沿って形成され、下地電極層6、7上に厚膜電極層であるメッキ層8を積層させて成る電極層であるCPW（コプレーナウェーブガイド）電極10（グラウンド（以下、GND）電極10a、信号電極10b、GND電極10c）とから構成される。

【0012】ここで、導電層5は、信号電極10bとGND電極10aとの電極間、及び信号電極10bとGND電極10cとの電極間において、基板1の表面に達する溝を形成しその基板表面上に形成されている。また、導電層5の両端部においては、導電層5は信号電極10bと接続されており、これにより導電層5に電荷の供給を行い、より一層温度ドリフトを抑制することができるが、比抵抗値が10⁶ Ω・cm以上となると温度ドリフトの抑制が困難となる。

【0013】このように、簡便な作製工程でCPW電極10内を伝搬するマイクロ波電界に与える誘電損失の影響を低減することができ、高周波伝送特性を改善することができる。

【0014】一般にCPW型電極では、マイクロ波がGND電極10a、GND電極10c間に閉じこめられて伝搬する。その際、上記電極間近傍の導電性は媒質の等価的なtanδに直接影響を与え誘電体損失の要因となる。本発明は従来例と比較して温度ドリフトを抑制するための導電層5をマイクロ波の電磁界領域から遠ざけたことにより、より誘電損失を低減できるようにしたものである。その効果の度合いは、電極設計（信号電極10bの幅；電極幅w、電極間距離g、GND電極10a、信号電極10b、GND電極10cの厚さ；電極層厚d、誘電体層厚tで示される）において、誘電体層厚tを厚くするか、または電極間隔gを狭く設計したときにより顕著となり、しかも導電層5に用いられる材料の選択の自由度を広げることができる。

【0015】なお、本実施例においては光導波路デバイスとして光変調器について説明したがこれに限定されるものではなく、光スイッチ等の各種焦電性基板上に光導波路や電極等を形成させた各種光導波路デバイスに適用が可能であり、本発明の要旨を逸脱しない範囲で適宜変更し実施が可能である。

【0016】

【実施例】

〔実施例1〕次に、光変調器S1の具体的且つ代表的な作製方法について図面に基づいて説明する。

【0017】図2（a）に示すように、両面鏡面研磨されたオプティカルグレードのニオブ酸リチウム単結晶（Zカット；カット面すなわち表面が（001）面）の基板1上に、リフトオフ法を用いてTi薄膜パターン21を形成した後、図2（b）に示すように、このTi薄膜パターン21から基板1に約1050℃で熱拡散せしめ光導波路2を形成した。

【0018】次に、図2（c）に示すように、基板1上にバッファ層となるSiO₂薄膜の誘電体層3を約2μm厚にスパッタリングにより積層させ、抵抗率を向上させる目的で約700℃の熱処理を施した。さらに、図2（d）に示すように、導電層5となるパターン上の誘電体層3をエッチングするためのフォトリソグラフィを行った。このときフォトレジストパターン22の断面形状をパターンエッジ部で逆テーパー形状にした。そして、図2（e）に示すように、SiO₂薄膜のエッチングを行った後、図2（f）に示すように、Ti薄膜23を約0.02μm厚に真空蒸着して、次いでリフトオフを行い、誘電体層3および導電層5のパターン形成を同時に所定の位置に行った。

【0019】次に、図2（g）に示すように、CPW電極10のリフトオフ用のフォトリソグラフィにより、導電層5上にフォトレジスト24を積層した後、図2（h）に示すように、第1の下地電極層6としてクロム（Cr）を厚さ0.05μm、第2の下地電極層7として金（Au）を厚さ0.5μmを順次蒸着し、図2（i）に示すように、リフトオフすることによりCPW電極10の下地電極パターンを形成した。また、第1の下地電極層6の電極引き出し部に帯状の導電層5と電極層10bとの電気的コンタクトをとるための引き出し部を形成した。

【0020】次に、図2（j）に示すように、フォトリソグラフィにより電極部分以外をフォトレジスト25で覆い、図2（k）に示すように、第2の下地電極層7上に金のメッキ層8を積層して、最終的に図2（l）に示すように、マッハツェンダー干渉計型の光（強度）変調器S1を作製した。

【0021】次に、作製した光変調器S1の温度ドリフト特性結果について説明する。

【0022】ここで、温度ドリフトΔDは図3に示すようにΔD = (ΔV/Vπ) × 100で定義される。従来例よりも緩和時間が短くなるのは導電層5に導体であるTiを用いたため、焦電効果により生じた電荷を急速に均一化できたことが考えられる。一方、電極のS21特性を従来例と比較すると、従来例に比して幾分か帯域制限を受けているが、十分、実用上問題ない特性が得られている。

【0023】本実施例においては、導電層5に真空蒸着により成膜したTi薄膜を用いたが、成膜方法は真空蒸着以外にもスパッタリング等他の成膜方法を用いても同様の効果が得られる。また、材料はTi以外にもSiやSiO_x（シリコンリッチの酸化シリコン）から成る半導体もしくはCr、Ti、Ni、Mo、Au、Pt、Ag、Cu、Al、Nb、これらの元素を含む合金、酸化物、または導電性ポリマーを用いても同様の効果が得られる。電極設計により、導体もしくは半導体材料の中で種々、最適な抵抗率を有する材料を選択すれば良い。そ

の場合の設計の方針としてバッファ層の膜厚は $1.5\mu\text{m}$ 以上、電極幅 $8\mu\text{m}$ 以下、導電層の抵抗率 $10^6\Omega\cdot\text{cm}$ 以下、導電層の膜厚とパターン幅はいずれの成膜法や材料を用いたときでも、膜厚は高周波の特性上バッファ層の膜厚の $1/10$ 以下が望ましい。また、パターンは電極間隔の半分以上を占める必要がある。以上のような方法で、光変調器を作製すれば温度ドリフト特性、高周波特性ともに良好な特性を得ることができる。

【0024】〔実施例2〕次に本発明に係る他の実施例を図4(a)～(1)に示す。本実施例でも、図4

(1)に示すように、一主面に光導波路2及び光導波路2に沿って帯状の溝9が形成された例えばニオブ酸リチウム、タンタル酸リチウムから成る焦電性基板(以下、基板という)1と、この基板1の光導波路2を含む一領域上に形成された SiO_2 、 Al_2O_3 等から成る誘電体である誘電体層3と、その他領域上に形成された Si や SiO_x (シリコンリッチの酸化シリコン)から成る半導体、もしくは Cr 、 Ti 、 Ni 、 Mo 、 Au 、 Pt 、 Ag 、 Cu 、 Al 、 Nb 、これらの元素を含む合金、酸化物、または導電性ポリマーから成る、比抵抗値が $10^6\Omega\cdot\text{cm}$ より小さい導電層5と、誘電体層3の一領域上に光導波路2に沿って形成された下地層上に厚膜電極層を積層させて成る電極層であるCPW電極10(GND電極10a、信号電極10b、GND電極10c)とから構成される。

【0025】また、導電層5は光導波路2に沿って形成された帯状の溝9の表層に形成され、信号電極10bと電氣的に接続されている。これにより導電層5に電荷の供給を行い、温度ドリフトを抑制し、かつCPW電極10内を伝搬するマイクロ波電界に与える誘電損失の影響を極力低減することができ、さらに高周波伝送特性を著しく改善することができる。

【0026】実施例1で述べたとおり、温度ドリフト改善するためにCPW電極10近傍に形成される導電層5は、電極間近傍に誘電体損失を与える要因となる。本実施例は実施例1にも増して導電層5をマイクロ波の電磁界領域から遠ざけたことにより、さらに誘電損失を低減できる。その効果は電極設計(信号電極10bの幅;電極幅 w 、電極間11aの幅;電極間隔 g 、電極間11bの幅;電極間隔 g 、GND電極10a、信号電極10b、GND電極10cの厚さ;電極層厚 d 、バッファ層厚 $T1$ 、溝9の深さ $T2$ で示される)において、バッファ層厚 d を厚くするか、溝9の深さ $T2$ を深くするか、または電極間隔 g を狭く設計したとき、より顕著となり、導電層5に用いられる材料の選択の自由度を広げることができる。

【0027】次に、光変調器S2の具体的且つ代表的な作製方法について説明する。図4(a)に示すように、両面鏡面研磨されたオプティカルグレードのニオブ酸リチウム単結晶(Zカット;カット面すなわち表面が(00

1)面)の基板1上に、リフトオフ法を用いてTi薄膜パターンを形成した後、そして、図4(b)に示すように、このTi薄膜パターンから基板1に約 1050°C で熱拡散せしめ光導波路2を形成した。

【0028】次に、図4(c)に示すように、基板1上に SiO_2 薄膜の誘電体層3を約 $2\mu\text{m}$ 、スパッタリングにより積層させ、抵抗率を向上させる目的で約 700°C の熱処理を施した。

【0029】次に、図4(d)に示すように、光導波路2の形成法と同様、リフトオフ法を用いてTi薄膜パターン26を光導波路2に沿って形成し、そのTi薄膜パターン26をマスクにしてRIE(リアクティブ・イオン・エッチング)法により、図4(e)に示すように、誘電体層3及び基板1に帯状の溝9を形成した。そして、図4(f)に示すように、RIEに用いたTi薄膜26をエッチング除去した後、図4(g)に示すように、帯状の溝9以外の部分にフォトレジストを形成し、図4(h)に示すように、リフトオフ法により帯状の溝9の内面にTi薄膜パターンを膜厚約 $0.02\mu\text{m}$ 程度に形成し導電層5を形成した。この方法により、簡単な工程で精度よく、帯状の溝9、誘電体層3、導電層5のパターン形成を行うことができる。

【0030】次に、図4(i)に示すように、誘電体層3の上にCPW電極10のリフトオフ用のフォトリソグラフィを行うために、導電層5上にフォトレジスト29を積層し、その後、図4(j)に示すように、第1の下地電極6としてクロム(Cr)を厚さ $0.05\mu\text{m}$ 、第2の下地電極7として金(Au)を厚さ $0.5\mu\text{m}$ を順次蒸着し、リフトオフすることによりCPW電極10の下地電極パターンを形成した。また、下地電極6の電極引き出し部に帯状の導電層5と電極層10bとの電氣的コンタクトをとるための引き出し部を形成した。

【0031】次に、図4(k)に示すように、フォトリソグラフィによりCPW電極10以外の部分をフォトレジスト30で覆い、下地電極層7上に金のメッキ層8を積層し、最終的に図4(1)に示すように、マッハツェンダー干渉計型の光(強度)変調器を作製した。

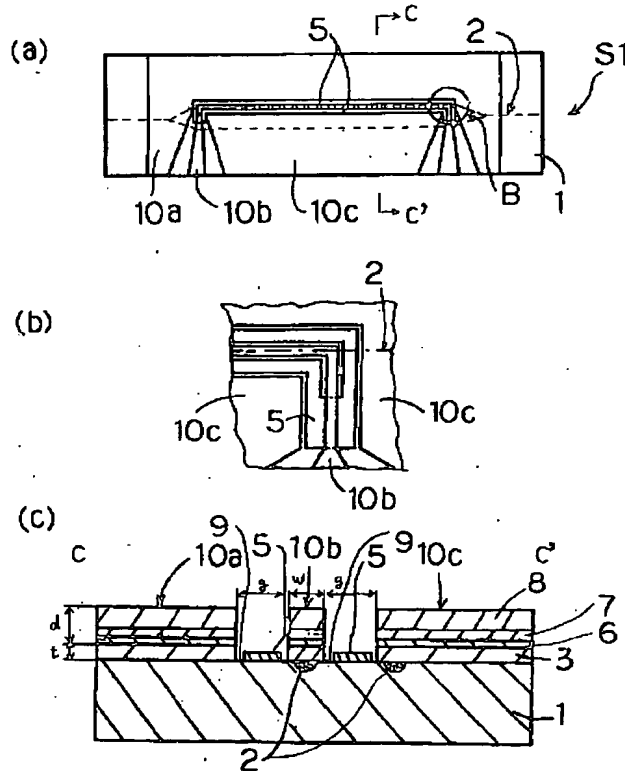
【0032】この実施例によっても、従来例よりも緩和時間が短くなった。これは導電層5に導体であるTiを用いたため、焦電効果により生じた電荷を急速に均一化することができたことが考えられる。一方、電極のS21特性を従来例と比較すると、従来例より幾分か帯域制限を受けているが、実用上十分に問題がない特性が得られている。本実施例においては、導電層5に真空蒸着により成膜したTi薄膜を用いたが、成膜方法は真空蒸着以外にもスパッタリング等他の成膜方法を用いても同様の効果が得られる。また、材料はTi以外にも Si や SiO_x (シリコンリッチの酸化シリコン)から成る半導体もしくは Cr 、 Ti 、 Ni 、 Mo 、 Au 、 Pt 、 Ag 、 Cu 、 Al 、 Nb 、これらの元素を含む合金、酸化物、

または導電性ポリマーを用いても同様の効果が得られる。電極設計により、導体もしくは半導体材料の中で種々、最適な抵抗率を有する材料を選択すれば良い。その場合の設計の方針としてバッファ層の膜厚は $1.5\mu\text{m}$ 以上、電極幅 $8\mu\text{m}$ 以下、導電層の抵抗率 $10^6\Omega\cdot\text{cm}$ 以下、導電層の膜厚とパターン幅はいずれの成膜法や材料を用いたときでも、膜厚は高周波の特性上バッファ層の膜厚の $1/10$ 以下が望ましい。また、パターンは電極間隔の半分以上を占める必要がある。以上のような方法で光変調器を作製すれば、温度ドリフト特性、高周波特性ともに良好な特性を得ることができる。

【0033】

【発明の効果】以上の説明から明らかなように、本発明の光導波路デバイスによれば、きわめて簡便な構成、簡便な製造プロセスでもって、周囲の急激な温度変化があっても、信号電極—グラウンド電極間に生じる電界が光導波路に作用することが極力防止され、実質上ほぼ問題にない程度に温度ドリフトを抑えることができ、信頼性の非常に優れた光導波路デバイスを提供できる。

【図1】



【図面の簡単な説明】

【図1】(a)は、本発明に係る光導波路デバイスの一例を示す平面図、(b)は(a)のb-b線拡大断面図、(c)は(a)のc-c'線断面図。

【図2】(a)～(l)はそれぞれ実施例1の製造工程を説明する断面図である。

【図3】温度ドリフトの定義を説明する図。

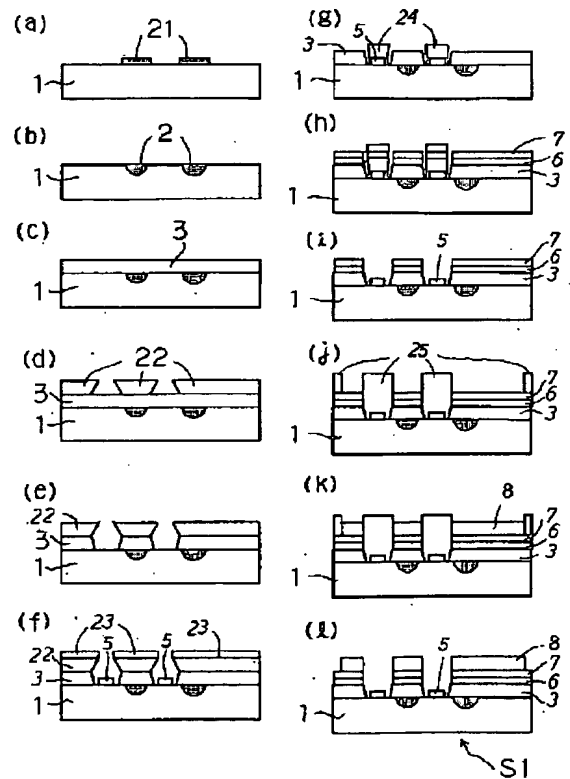
【図4】(a)～(l)はそれぞれ実施例2の製造工程を説明する断面図である。

【図5】従来の光導波路デバイスの一例を示す断面図。

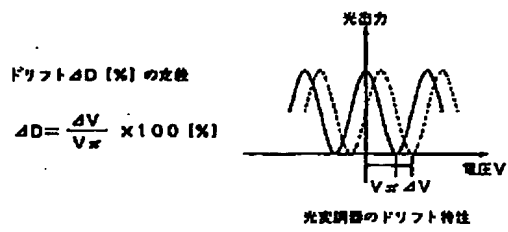
【符号の説明】

- 1 . . . 基板
- 2 . . . 光導波路
- 3 . . . 誘電体層
- 4, 8 . . . フォトリソグ
- 5 . . . 導電層
- 9 . . . 溝
- S1, S2 . . . 光導波路デバイス
- 10 . . . CPW電極(電極層)

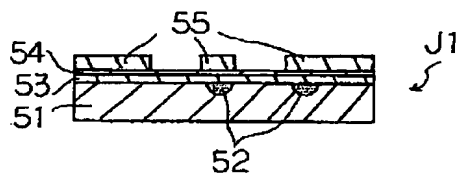
【図2】



【図3】



【図5】



【図4】

